

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-284183

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

H01L 29/78
H01L 21/316

(21)Application number : 10-086872

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.03.1998

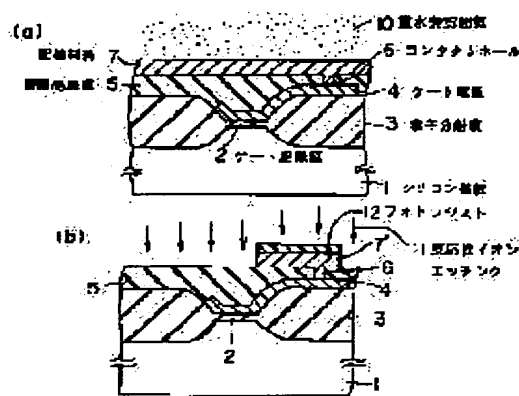
(72)Inventor : HOTTA MASAKI
OZAWA YOSHIO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE AND MANUFACTURING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the damage of a gate insulating film, by introducing heavy hydrogen to the gate insulating film or the interface of the gate insulating film and a semiconductor layer before a process where the gate insulating film formed on the semiconductor layer is damaged is executed.

SOLUTION: A gate insulating film 2 and an element isolation film 3 are formed on a silicon substrate 1. A gate electrode 4 and an interlayer insulating film 5 are sequentially formed on the gate insulating film 2 and the element isolation film 3. A contact hole 6 is formed in a part of the interlayer insulating film 5 and a wiring material 7 is stacked on it. Such semiconductor element is heat-processed in a heavy hydrogen atmosphere 10, and heavy hydrogen is connected to the non-connection hand of silicon in the gate insulating film 2. Photoresist 12 is applied, is patterned after heavy hydrogen is introduced and it is set to be a mask. The wiring material 7 is patterned by reactive ion etching 11, and a wiring layer 7' is formed.



LEGAL STATUS

[Date of request for examination]

24.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-284183

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.⁶

H 0 1 L 29/78
21/316

識別記号

F I

H 0 1 L 29/78
21/316

3 0 1 G
P

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願平10-86872

(22) 出願日 平成10年(1998)3月31日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 堀田 正樹

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 小澤 良夫

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

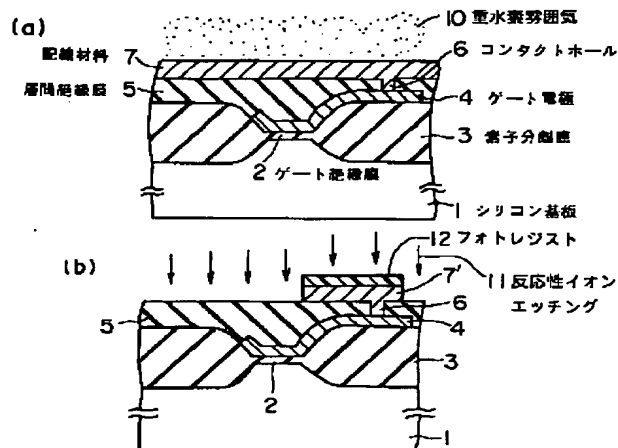
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体素子の製造方法と製造装置

(57) 【要約】

【課題】 ゲート絶縁膜の損傷を防止する。

【解決手段】 シリコン基板1上に形成されたゲート絶縁膜2に損傷が加わる反応性イオンエッチング11の前に、重水素雰囲気10中で熱処理を行うことによりゲート絶縁膜2中又はゲート絶縁膜2とシリコン基板1との界面に重水素を導入する。



1

【特許請求の範囲】

【請求項 1】 半導体層上に形成されたゲート絶縁膜に損傷が加わる工程を施す前に、前記ゲート絶縁膜中又は該ゲート絶縁膜と前記半導体層との界面に重水素を導入することを特徴とする半導体素子の製造方法。

【請求項 2】 半導体層上に形成されたゲート絶縁膜中又は該ゲート絶縁膜と前記半導体層との界面の軽水素を脱離させる工程と、前記ゲート絶縁膜中又は該ゲート絶縁膜と前記半導体層との界面に重水素を導入する工程と、前記ゲート絶縁膜に損傷が加わる工程とを含むことを特徴とする半導体素子の製造方法。

【請求項 3】 前記重水素の導入は、前記ゲート絶縁膜又は該ゲート絶縁膜の上層若しくは下層の少なくとも一部を重水素を含む材料を用いて形成し、該形成された層に含まれる重水素を前記ゲート絶縁膜又は該ゲート絶縁膜と前記半導体層との界面へ拡散することにより行うことを特徴とする請求項 1 又は 2 に記載のゲート半導体素子の製造方法。

【請求項 4】 前記重水素の拡散は、前記ゲート絶縁膜又は該ゲート絶縁膜と前記半導体層との界面の軽水素を脱離させるとともに重水素雰囲気中で行うことを特徴とする請求項 3 に記載の半導体素子の製造方法。

【請求項 5】 ゲート絶縁膜中又は該ゲート絶縁膜と該ゲート絶縁膜の下層に形成された半導体層との界面の軽水素を脱離させる軽水素脱離手段と、前記ゲート絶縁膜中又は該ゲート絶縁膜と前記半導体層との界面に重水素を導入する重水素導入手段と、前記ゲート絶縁膜に損傷が加わる処理を施す手段とを具備してなり、前記各手段による処理を大気に晒すことなく連続して行うことを特徴とする半導体素子の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体製造技術に係わり、特に重水素を用いてゲート絶縁膜の改質処理を行う半導体素子の製造方法と製造装置に関する。

【0002】

【従来の技術】 重水素雰囲気中の熱処理を行うと、軽水素を用いたときよりもホットキャリアストレスによる膜質の劣化を抑制できることが知られている。この性質を利用して、ゲート絶縁膜を具備する半導体素子に対して重水素雰囲気中で熱処理を行い、ホットキャリアストレスによる膜質の劣化を抑制する半導体素子の製造方法が広く用いられている。この方法によれば、ゲート絶縁膜の界面準位の形成を低減し、ゲート電圧のしきい値 V_{th} を安定化させることができる。

【0003】 このような重水素を用いた熱処理を行った後の半導体素子にホットキャリアストレスが加わった場合の膜質が劣化する様子を図 1 2 に示す。横軸は S_i バンドギャップ、縦軸は界面準位密度を示し、破線は軽水素のアニールサンプルを、実線は重水素のアニールサン

2

プルを、一点鎖線はホットキャリアストレスが加わる前のサンプルを示す。図 1 2 に示すように、ホットキャリアストレスが加わることによりゲート絶縁膜の界面準位密度が高くなるが、軽水素のサンプルに比較して重水素のサンプルは界面準位密度が低減されるため、膜質の劣化が抑制されることが分かる。

【0004】 しかし、図 1 2 の測定における重水素雰囲気中の熱処理は、素子構造を形成し、パッシベーション膜を堆積した後の半導体素子の製造工程の最終部でなされたものである。

【0005】 これに対して、パッシベーション膜堆積前でも、ゲート絶縁膜の劣化を招くことがある。その一例を図 1 3 に示す。シリコン基板 1 上にゲート絶縁膜 2 及び素子分離膜 3 が堆積し、このゲート絶縁膜 2 上にゲート電極 4 が形成され、さらに層間絶縁膜 5、コンタクトホール 6 を介して配線材料が堆積している。ここで、この配線材料を例えば反応性イオンエッチングによりパターンニングして配線層 7' とする際、配線層 7' に負電荷 8 が侵入することにより、コンタクトホール 6 を介して配線層 7' と接続されたゲート電極 4 が帯電してゲート絶縁膜 2 中に電流 9 が流れ、膜質の劣化を抑制することができなかった。

【0006】

【発明が解決しようとする課題】 上述したように、従来は半導体素子の製造工程の最終工程で重水素雰囲気中の熱処理を行うことによりゲート絶縁膜の膜質の改善がなされていたが、この最終工程前にゲート絶縁膜に電流が流れるような工程を経る場合、ゲート絶縁膜の損傷を防止できなかった。

【0007】 本発明は上記課題を解決するためになされたもので、その目的とするところは、ゲート絶縁膜の損傷を防止する半導体素子の製造方法と製造装置を提供することにある。

【0008】

【課題を解決するための手段】 本発明に係る半導体素子の製造方法は、半導体層上に形成されたゲート絶縁膜に損傷が加わる工程を施す前に、前記ゲート絶縁膜中又は該ゲート絶縁膜と前記半導体層との界面に重水素を導入することを特徴とする。

【0009】 本発明の望ましい形態を以下に示す。

(1) 重水素を導入する前に、ゲート絶縁膜中又は該ゲート絶縁膜と半導体層との界面の軽水素を脱離させる。

(2) 軽水素の脱離は、電子線を照射し、又はプラズマ雰囲気中にゲート絶縁膜を有する基板を晒すことにより行う。

(3) ゲート絶縁膜中又は該ゲート絶縁膜と半導体層との界面の軽水素を脱離させてから重水素を導入する工程を、ゲート絶縁膜に損傷が加わる工程の前におく。

(4) 軽水素を脱離させる工程は、重水素雰囲気中で行う。

3

(5) 重水素雰囲気中でゲート絶縁膜中又は該ゲート絶縁膜と半導体層との界面の水素を脱離させる工程を行った後に、ゲート絶縁膜に損傷が加わる工程を行う。

(6) 重水素の供給を重水素を含有した膜から行なう。

(7) 重水素の導入は、ゲート絶縁膜又は該ゲート絶縁膜の上層若しくは下層の少なくとも一部を重水素を含む材料を用いて形成し、該形成された層に含まれる重水素をゲート絶縁膜又は該ゲート絶縁膜と半導体層との界面へ拡散することにより行う。

(8) 重水素の拡散は、ゲート絶縁膜中又は該ゲート絶縁膜と半導体層との界面の軽水素を脱離させるとともに重水素雰囲気中で行う。

(9) 重水素の拡散は、熱処理により行う。

(10) ゲート絶縁膜に損傷が加わる工程とは、ゲート絶縁膜中の半導体と他の物質との結合が切られるような工程をいい、より具体的には例えばゲート絶縁膜が SiO_2 からなる場合、 Si-F 、 Si-O 、 Si-H 、 Si-OH 、 Si-N 等の結合が切られる工程をいう。

(11) ゲート絶縁膜に損傷が加わる工程とは、ゲート絶縁膜に対して電流ストレスが加わる工程をいう。

(12) 軽水素脱離、重水素導入、ゲート絶縁膜に損傷が加わる工程を同一チャンバ内で行う。

【0010】また、本発明に係る半導体素子の製造装置は、ゲート絶縁膜中又は該ゲート絶縁膜と該ゲート絶縁膜の下層に形成された半導体層との界面の軽水素を脱離させる軽水素脱離手段と、前記ゲート絶縁膜中又は該ゲート絶縁膜と前記半導体層との界面に重水素を導入する重水素導入手段と、前記ゲート絶縁膜に損傷が加わる処理を施す手段とを具備してなり、前記各手段による処理を大気に晒すことなく連続して行うことを特徴とする。

【0011】また、本発明に係る半導体素子の製造装置は、ゲート絶縁膜中又は該ゲート絶縁膜と半導体層との界面に重水素を導入する工程と、ゲート絶縁膜に損傷が加わる工程を大気に晒すことなく行うことを特徴とする。

【0012】また、本発明に係る半導体素子の製造装置は、ゲート絶縁膜中又は該ゲート絶縁膜と半導体層との界面の水素を脱離させる工程と、重水素を導入する工程を、大気に晒すことなく行うことを特徴とする。

【0013】また、本発明に係る半導体素子の製造装置は、ゲート絶縁膜中又は該ゲート絶縁膜と半導体層との界面の水素を脱離させるのと同時に重水素を導入する工程と、ゲート絶縁膜に損傷が加わる工程を大気に晒すことなく行う。

【0014】本発明の望ましい形態は、重水素導入手段、軽水素脱離手段、ゲート絶縁膜に損傷が加わる手段を同一チャンバ内に設置する。

(作用) 本発明では、ゲート絶縁膜に損傷が加わる工程の前に、ゲート絶縁膜又は該ゲート絶縁膜と半導体層との界面に重水素を導入する。これによってゲート絶縁膜

4

に電流が注入されるような工程を経た場合に生ずるゲート絶縁膜の損傷を低減できる。

【0015】また、重水素を導入する工程の前にさらに軽水素を脱離させる工程を行うことで、ゲート絶縁膜又はその界面への重水素の導入を容易にすることができ、これによってゲート絶縁膜の損傷をさらに低減することができる。また、これら軽水素脱離工程と同時に重水素導入工程を行うことで、重水素の導入効率をさらに高めることができる。

【0016】また、重水素の導入を、ゲート絶縁膜の上層又は下層に形成された重水素を含む膜からの拡散により行うことで、重水素が拡散しにくいような例えばシリコン窒化膜等がゲート絶縁膜の上層に形成された後にも、ゲート絶縁膜中又はその界面に重水素を供給することが可能である。

【0017】また、軽水素を脱離させる工程と、重水素を導入する工程と、ゲート絶縁膜に損傷が加わるような工程を大気に晒すことなく連続して行う半導体素子の製造装置を用いることで、各工程の待機時間に、大気中の水分に起因する水酸基や水滴等が基板表面に付着するのを防ぐことができる。従って、ゲート絶縁膜への軽水素の混入を防止することができ、重水素の導入効率を高めることができる。

【0018】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形態を説明する。

(第1実施形態) 図1は本発明の第1実施形態に係る半導体素子の製造方法の工程断面図である。まず、シリコン基板1上に熱酸化法によって SiO_2 からなるゲート絶縁膜2及び素子分離膜3を形成する。次いで、このゲート絶縁膜2及び素子分離膜3上に例えばCVD法等により多結晶シリコン被膜を形成し、反応性イオンエッチング法等によりパターニングを行いゲート電極4を形成する。次いで、CVD法等により SiO_2 等からなる層間絶縁膜5を形成する。次いで、この層間絶縁膜5を反応性イオンエッチング等によりゲート電極4が露出するまで掘り込み、コンタクトホール6を形成する。次いで、層間絶縁膜5上にコンタクトホール6内部を含めてAlからなる配線材料7を堆積する(図1(a))。

【0019】これら複数の層が形成された半導体素子を、常圧、450℃の重水素雰囲気10中で30分熱処理する。この熱処理により、ゲート絶縁膜2中のシリコンの未結合手に重水素が結合する。また、シリコンに結合した軽水素の一部も結合が切れ、これにより生じた未結合手にも重水素が結合し、ゲート絶縁膜2中に重水素が導入される。

【0020】この重水素導入工程の後に、フォトリジスト12を塗布してパターニングし、このフォトリジスト12をマスクとして配線材料7を反応性イオンエッチング11によりパターニングして配線層7'を形成する

5

(図 1 (b))。このパターンニングの際には、ゲート絶縁膜 2 中に重水素が導入されているためにゲート絶縁膜 2 の損傷は低減される。

【0021】このように形成された半導体素子におけるゲート絶縁膜 2 中の重水素量を 2 次イオン質量分析装置によって求めた結果、重水素の量が軽水素の量との比率にして 2 % となった。この値はゲート絶縁膜 2 中又はその界面に存在する重水素の総量計測されたものである。

【0022】また、このように形成された半導体素子のゲート電圧 V_g の時間的変化の測定結果を図 2 に示す。重水素アニールサンプルを実線で示し、比較のために軽水素アニールサンプルを破線で示す。ストレス電流密度 $J_{\text{stress}} = -10 \text{ mA/cm}^2$ として測定を行ったもので、横軸は時間を、縦軸はゲート電圧 V_g を示す。図 2 に示すように、軽水素アニールサンプルは時間の経過と共にゲート電圧 V_g が徐々に劣化していくが、重水素アニールサンプルの場合、劣化する割合が軽水素アニールサンプルに比較して小さい。従って、ゲート絶縁膜 2 中に電流を注入した際に生ずるゲート絶縁膜 2 の損傷が重水素導入により低減されていることが分かる。

【0023】このように、ゲート絶縁膜 2 に予め重水素を導入しているため、反応性イオンエッチング 11 に伴うゲート絶縁膜 2 のリーク電流の増大を抑制することができる。

【0024】(第 2 実施形態) 図 3 は本発明の第 2 実施形態に係る半導体素子の製造方法の工程断面図である。本実施形態において第 1 実施形態と共通する部分には同一符号を付し、詳細な説明は省略する。まず、シリコン基板 1 上に熱酸化法によって SiO_2 からなるゲート絶縁膜 2 及び素子分離膜 3 を形成した後、多結晶シリコン被膜を形成し、反応性イオンエッチング法によってゲート電極 4 を形成し、CVD 法によって SiO_2 等からなる層間絶縁膜 5 を形成する。しかる後に、層間絶縁膜 5 にコンタクトホール 6 を開口して配線材料 7 を形成する。ここまでは第 1 実施形態と同様である。

【0025】これら複数の層が形成された半導体素子を 230°C の酸素プラズマ雰囲気 31 中で 10 分間熱処理する (図 3 (a))。このプラズマ雰囲気 31 により、配線材料 7 表面に負電荷 8 が誘起される。この負電荷 8 により、ゲート絶縁膜 2 中でシリコンと軽水素の結合が切れ、軽水素が脱離して配線材料 7 まで引き出される。従って、酸素プラズマ雰囲気 31 中に曝す前に比較して、未結合手を持つシリコンの比率が高くなる。

【0026】さらに、軽水素の脱離した半導体素子に対して、常圧で 450°C の重水素雰囲気 10 中で 15 分間の熱処理を行う (図 3 (b))。この熱処理により、シリコンの未結合手に重水素が結合し、ゲート絶縁膜 2 中に重水素が導入される。

【0027】これら軽水素脱離工程及び重水素導入工程を経た後、反応性イオンエッチング 11 によって配線層

6

7' を形成する (図 3 (c))。このように形成された半導体素子におけるゲート絶縁膜 2 中の重水素量を 2 次イオン質量分析装置によって求めた結果、重水素の量が軽水素の量との比率にして 10 % となった。この値はゲート絶縁膜 2 中又はその界面に存在する重水素の総量計測されたものであり、第 1 実施形態の場合よりも重水素の導入量が増加しているのが分かる。これは、軽水素脱離により軽水素導入量を低減し、さらに重水素を結合させる未結合手を持つシリコンの比率を増加させているからである。従って、第 1 実施形態と比較して反応性イオンエッチング 11 に伴うゲート絶縁膜 2 のリーク電流増大を大幅に低減することができる。

【0028】(第 3 実施形態) 図 4 は本発明の第 3 実施形態に係る半導体素子の製造方法の工程断面図である。本実施形態において上記実施形態と共通する部分には同一符号を付し、詳細な説明は省略する。まず、シリコン基板 1 の上に、熱酸化法によって SiO_2 からなるゲート絶縁膜 2 及び素子分離膜 3 を形成した後、多結晶シリコン被膜を形成し、反応性イオンエッチング法によってゲート電極 4 を形成し、CVD 法によって SiO_2 等からなる層間絶縁膜 5 を形成する。しかる後に、層間絶縁膜にコンタクトホール 6 を開口する。ここまでは第 1 実施形態と同様である。

【0029】次いで、このコンタクトホール 6 を含めて層間絶縁膜 5 上に Cu からなる配線材料 41 を形成する。これら複数の層が形成された半導体素子を重水素雰囲気 10 中で熱処理してゲート絶縁膜 2 又はその界面に重水素を導入するとともに、配線材料 41 表面に電子線 42 を照射して配線材料 41 表面を負電荷 8 で帯電させてゲート絶縁膜 2 中の軽水素を脱離させる (図 4 (a))。その際、温度は 450°C とし、30 分間の処理を行う。

【0030】しかる後に、反応性イオンエッチング 11 によって配線層 41' を形成する (図 4 (b))。このように形成された半導体素子におけるゲート絶縁膜 2 中の重水素量を 2 次イオン質量分析装置によって求めた結果、重水素の量が軽水素の量との比率にして 17 % となった。この値はゲート絶縁膜 2 中又はその界面に存在する重水素の総量計測されたものであり、第 1、2 実施形態の場合よりも重水素の導入量を増加させることができることが分かる。これは、ゲート絶縁膜 2 中又はその界面の軽水素を脱離させるのと同時に重水素を導入しているため、ゲート絶縁膜 2 中への重水素の導入が容易になるからであり、そのため反応性イオンエッチング 11 に起因するゲート電流の増大を第 2 実施形態の場合よりもさらに低減できる。

【0031】(第 4 実施形態) 図 5 は本発明の第 4 実施形態に係る半導体素子の製造方法の工程断面図である。本実施形態において上記実施形態と共通する部分には同一符号を付し、詳細な説明は省略する。 SiO_2 からな

7

るゲート絶縁膜 2 を熱酸化法によってシリコン基板 1 上に形成した後、軽水素が重水素によって置き換えられたシランガス (SiD_4) を用いて多結晶シリコン被膜を形成する。そして、この多結晶シリコン被膜を反応性イオンエッチング法によってパターンニングしてゲート電極 5 1 を形成する。このゲート電極 5 1 には通常軽水素が混入しているが、重水素に置換されたシランガスを用いているため重水素が混入している。

【0032】次いで、CVD法によって SiO_2 等からなる層間絶縁膜 5 を形成する。しかる後に、層間絶縁膜 5 にコンタクトホール 6 を開口し、A1 からなる配線材料 7 を形成する (図 5 (a))。

【0033】次いで、真空中で 350°C にて配線材料 7 に向けて電子線 4 2 を照射して配線材料 7 表面を帯電させる。この電子線 4 2 の照射によりゲート絶縁膜 2 中の軽水素が脱離する。また、 350°C の高温で熱処理されるため、軽水素の脱離と同時にゲート電極 5 1 に混入した重水素 5 2 がゲート絶縁膜 2 中に拡散し、ゲート絶縁膜 2 中に重水素 5 2 が導入される (図 5 (b))。

【0034】しかる後に、反応性イオンエッチング 1 1 によって配線層 7' を形成する (図 5 (c))。このように形成された半導体素子におけるゲート絶縁膜 2 中の重水素量を 2 次イオン質量分析装置によって求めた結果、重水素の量が軽水素の量と同等以上になり、第 1 ~ 3 実施形態の場合よりも重水素の量を増加させることができることが分かる。これは、第 1 ~ 3 実施形態に比較して軽水素の量がゲート絶縁膜 2 中で既に少なくなっている状態で、軽水素脱離により軽水素導入量を低減し、重水素を結合させる未結合手を持つシリコンの比率をさらに増加させるからである。従って、第 1 ~ 3 実施形態と比較しても反応性イオンエッチング 1 1 に伴うゲート絶縁膜 2 のリーク電流増大を大幅に低減することができる。

【0035】なお、配線層 7' の形成後、シリコン窒化膜等からなるパッシベーション膜を配線層 7' 上に堆積する場合、従来ではシリコン窒化膜がバリア層となり重水素の拡散が妨げられたが、本実施形態によれば、パッシベーション膜堆積時には既にゲート電極 5 1 中に重水素が導入されているため、バリア層であるパッシベーション膜を介することなくゲート絶縁膜 2 に容易に重水素の導入が行える。

【0036】(第 5 実施形態) 図 6 は本発明の第 5 実施形態に係る半導体素子の製造方法の工程断面図である。本実施形態において上記実施形態と共通する部分には同一符号を付し、詳細な説明は省略する。まず、第 1 実施形態と同様の方法によりシリコン基板 1、ゲート絶縁膜 2、ゲート電極 4 からなる MOS 構造を形成する。次いで、軽水素が重水素で置き換えられたテトラエトキシシラン ($\text{TEOS} : \text{Si}(\text{OC}_2\text{D}_5)_4$) を用いて層間絶縁膜 6 1 を CVD 法により形成し、 350°C の窒素雰

8

囲気中で 30 分の熱処理を行う。次いで、反応性イオンエッチングによってコンタクトホール 6 を開口し、A1 からなる配線材料 7 を形成する (図 6 (a))。

【0037】しかる後に、真空中で 450°C にて、15 分間電子線 4 2 を照射して配線材料 7 表面を帯電させ、ゲート絶縁膜 2 中又はその界面の軽水素を脱離させると同時に、層間絶縁膜 6 1 中に混入した重水素 6 2 を拡散させ、ゲート電極 4 を介してゲート絶縁膜 2 中又はその界面に重水素 6 2 を導入する (図 6 (b))。しかる後に、反応性イオンエッチング 1 1 によって配線層 7' を形成する (図 6 (c))。

【0038】このように形成された半導体素子におけるゲート絶縁膜 2 中の重水素量を 2 次イオン質量分析装置によって求めた結果、重水素の量が軽水素の量と同程度になり、第 1 ~ 3 実施形態の場合よりも重水素の導入量を増加させることができることが分かる。これは、層間絶縁膜 6 1 を通常のテトラエトキシシラン (TEOS) を用いて形成した場合よりも、ゲート絶縁膜 2 中の軽水素の量が少なくなっている状態で、さらに軽水素を脱離させながら同時に重水素 6 2 を導入しているからである。従って、第 3 実施形態と比較しても反応性イオンエッチング 1 1 に伴うゲート絶縁膜 2 のリーク電流増大を大幅に低減することができる。

【0039】なお、バリア層であるパッシベーション膜を介することなくゲート絶縁膜 2 に容易に重水素の導入が行える点は第 4 実施形態と同様である。

(第 6 実施形態) 図 7 は本発明の第 6 実施形態に係る半導体素子の製造方法の工程断面図である。本実施形態において上記実施形態と共通する部分には同一符号を付し、詳細な説明は省略する。まず、シリコン基板 1 上に四塩化シリコン SiCl_4 と亜酸化窒素 N_2O ガスを用いた CVD 法によってゲート絶縁膜 7 1 を形成する。このゲート絶縁膜 7 1 上に、軽水素が重水素で置き換えられたシランガス SiD_4 を用いて多結晶シリコン被膜を形成し、反応性イオンエッチングによってゲート電極 5 1 を形成する。次いで、軽水素を重水素で置換したテトラエトキシシラン (TEOS) を用いて層間絶縁膜 6 1 を形成し、 250°C の酸素プラズマ雰囲気 3 1 中で 10 分の熱処理を行う。これにより、ゲート絶縁膜 7 1 中又はその界面での水素が脱離し、かつ重水素が導入される。次いで、コンタクトホール 6 を反応性イオンエッチングによって開口し、A1 等からなる配線材料 7 を形成する (図 7 (a))。

【0040】次いで、真空中で 450°C にて、15 分間電子線 4 2 を照射して、配線材料 7 表面を帯電させる。この配線材料 7 の帯電によりゲート絶縁膜 7 1 中の軽水素が脱離する。また、高温熱処理により、軽水素の脱離と同時にゲート電極 5 1 及び層間絶縁膜 6 1 中に混入した重水素 5 2、6 2 がゲート絶縁膜 7 1 中に拡散し、ゲート絶縁膜 7 1 中に重水素 5 2、6 2 が導入される (図

9

7 (b)) 。

【0041】しかる後に、反応性イオンエッチング11によって配線層7'を形成する(図7(c))。その結果、ゲート電極51や層間絶縁膜61を軽水素を含む材料で形成した場合よりもゲート絶縁膜71中の軽水素量が遙かに少ない状態で、残存している軽水素を脱離させながら重水素を導入しているので、ゲート絶縁膜71中又はその界面の重水素の総量は軽水素よりも遙かに多く、重水素と軽水素を合わせた水素の総量の大部分を占める。また、軽水素脱離工程及び重水素導入工程を配線材料7形成後のみならず層間絶縁膜61形成後にも行うことにより、さらに重水素の比率を高めることができる。

【0042】そのため、反応性イオンエッチング11によるゲート絶縁膜71のリーク電流の増大は、反応性イオンエッチング11を用いない場合と比較してもほぼ同等にまで抑制することができる。

【0043】(第7実施形態)図8は本発明の第7実施形態に係る半導体素子の製造方法の工程断面図である。本実施形態において上記実施形態と共通する部分には同一符号を付し、詳細な説明は省略する。まず、シリコン基板1の表面を軽水素が重水によって置き換えられたフッ化水素ガスにさらした後、軽水素が重水素で置き換えられた塩酸及びオゾンを用いて処理することによって、シリコン基板1上に極めて薄いSiO₂からなるバリア層81を形成する。このバリア層81は、シリコン基板1からその上層に形成されるべきゲート絶縁膜82への拡散を防止するために形成される。そして、このバリア層81の形成されたシリコン基板1を窒素雰囲気中で900度3分の熱処理を行う。この熱処理により、バリア層81中の原子間の結合を高めて軽水素の拡散を困難とし、シリコン基板1とゲート絶縁膜82とのバリア効果を高めることができる。

【0044】次いで、軽水素が重水素で置き換えられたTa(OC₂D₅)₅と酸素ガスを用いたCVD法によってゲート絶縁膜82を形成した後、350℃の酸素プラズマ中で30分の熱処理を行う。これにより、ゲート絶縁膜82中又はその界面の軽水素が脱離し、さらに重水素がゲート絶縁膜82中又はその界面に導入される。

【0045】しかる後に、四塩化チタンTiCl₄と軽水素が重水素で置換されたアンモニアND₃を用いて、CVD法によって窒化チタン等からなる被膜を形成し、反応性イオンエッチングによってゲート電極83を形成した後、軽水素が重水素によって置き換えられたテトラエトキシシラン(TEOS)を用いて層間絶縁膜61を形成する。しかる後に、再び酸素プラズマ中で400℃で10分の熱処理してゲート絶縁膜82中又はその界面の軽水素を脱離し、層間絶縁膜61から重水素をゲート電極83を介してゲート絶縁膜82中又はその界面に導入した後、コンタクトホール6を反応性イオンエッチン

10

グによって開口し、A1等からなる配線材料7を形成する(図8(a))。

【0046】しかる後に、真空中で450℃にて、15分間電子線42を照射して、配線材料7表面を帯電させ、ゲート絶縁膜82中又はその界面の軽水素を脱離し、各層に残存する重水素を拡散させ、ゲート絶縁膜82中又はその界面に導入する(図8(b))。しかる後に、反応性イオンエッチング11によって配線層7'を形成する(図8(c))。

【0047】その結果、ゲート絶縁膜82、ゲート電極83、層間絶縁膜61のそれぞれを、軽水素を含まない材料で形成し、ゲート電極83中に軽水素が極めて少ない状態で更に残存している軽水素を脱離させながら同時に重水素を導入しているので、ゲート絶縁膜82中又はその界面の重水素の量は軽水素よりも遙かに多く、重水素と軽水素を合わせた総量の大部分を重水素が占める。また、軽水素脱離工程及び重水素導入工程を配線材料7形成後のみならずゲート絶縁膜82形成後及び層間絶縁膜61形成後にも行うことにより、さらに重水素の比率を高めることができる。

【0048】従って、反応性イオンエッチング11によるゲート絶縁膜82のリーク電流の増大は、反応性イオンエッチング11を用いない場合と比較してもほぼ同等にまで抑制することが出来る。

【0049】(第8実施形態)図9は本発明の第8実施形態に係る半導体素子の製造方法の工程断面図である。本実施形態において上記実施形態と共通する部分には同一符号を付し、詳細な説明は省略する。シリコン基板1上に熱酸化法によってバリア層81を介してゲート絶縁膜82を形成する。ここまでは第7実施形態と同様である。

【0050】次いで、ゲート絶縁膜82上に、軽水素が重水素によって置き換えられたシランガス(SiD₄)を用いて多結晶シリコン被膜を形成し、この多結晶シリコン被膜を反応性イオンエッチング法によってパターニングしてゲート電極51を形成する。次いで、CVD法によってSiO₂等からなる層間絶縁膜61を形成する。しかる後に、層間絶縁膜61にコンタクトホール6を開口し、Cuからなる配線材料41を形成する(図9(a))。

【0051】しかる後に、四塩化チタンTiCl₄と軽水素が重水素で置換されたアンモニアND₃を用いて、CVD法により窒化チタン被膜91を形成し、反応性イオンエッチングによって窒化チタン被膜91をパターニングする。そして、フォトレジストを除去した後、本発明に係る半導体素子の製造装置にこの半導体素子を導入する。

【0052】本発明に係る半導体素子の製造装置の全体構成を図10に示す。図10に示すように、チャンバ101の上部には反応ガスや重水素ガス等を導入する導入

11

口 102 が設けられ、その下部には反応ガス等を排気する排気口 103 が設けられている。また、チャンバ 101 内にはステージ 104 が配置されており、このステージ 104 上に上記製造工程により作製された半導体素子 105 が載置される。また、ステージ 104 内部にはヒータ 106 が組み込まれ、ヒータ 106 の加熱により半導体素子 105 を加熱する。さらに、ステージ 104 と対峙して電極 107 が設けられている。

【0053】この半導体素子の製造装置のチャンバ 101 中に半導体素子 105 を搬入し、400℃、0.1 気圧の重水素雰囲気 10 を導入口 102 から導入し、ヒータ 106 で 1 時間熱処理を施す（図 9（b））。この熱処理により、ゲート絶縁膜 82 中又はその界面に重水素が導入される。しかる後に、同一チャンバ 101 中で大気に晒すことなく、反応ガスを導入口 102 から導入し、反応性イオンエッチング 11 によって配線材料 41 をパターンニングし、配線層 41' を形成する（図 9（c））。

【0054】このように、同一チャンバ 101 内で大気に晒すことなく重水素導入と配線材料 41 のパターンニングを行うため、重水素導入後の半導体素子表面に水分等が付着するのを防ぐことができ、ゲート絶縁膜 82 中の軽水素比率が上がるのを防止できる。そのため、反応性イオンエッチング 11 によるゲート絶縁膜 82 のリーク電流の増大は、重水素導入工程とゲート電極 51 のパターンニング工程を連続的に行なわない場合に比べて、更に低減することができる。また、窒化チタン被膜 91 を重水素を含む材料により形成することで、配線層からも重水素を導入することができるため、重水素の導入効率をさらに高めることができる。

【0055】（第 9 実施形態）図 11 は本発明の第 9 実施形態に係る半導体素子の製造方法の工程断面図である。シリコン基板 1 上に、熱酸化法によってバリア層 81 を介してゲート絶縁膜 82 を形成した後、多結晶シリコン被膜を形成し、反応性イオンエッチング法によってゲート電極 51 を形成し、CVD 法によって SiO₂ 等からなる層間絶縁膜 61 を形成する。しかる後に、層間絶縁膜 61 にコンタクトホール 6 を開口する。ここまでは第 8 実施形態と同様である。

【0056】次いで、層間絶縁膜 61 上に、コンタクトホール 6 内部を含めて A1 等からなる配線材料 7 を形成する（図 11（a））。しかる後に、配線材料 7 上に CVD 法で窒化チタン被膜 91 を形成し、反応性イオンエッチングによってパターンニングする。そして、パターンニングに用いたフォトリソを除去した後、図 10 に示すチャンバ 101 中にこの半導体素子 105 を導入し、図示しない電子線照射部から電子線 42 を照射しながら 400℃、0.1 気圧の重水素雰囲気 10 中で 1 時間熱処理し、ゲート絶縁膜 82 中又はその界面での軽水素脱離及び重水素導入を行う（図 11（b））。しかる後

12

に、同一チャンバ 101 中で、大気に晒すことなく反応ガスを導入口 102 から導入し、反応性イオンエッチング 11 によって配線材料 7 をパターンニングし、配線層 7' を形成する（図 11（c））。

【0057】その結果、ゲート絶縁膜 82 中又はその界面に重水素を導入する工程と、ゲート電極 51 のパターンニング工程を連続して行うことで、大気中の水分に起因する水酸基や水滴が半導体素子表面に付着することを防ぐことができるので、ゲート絶縁膜 82 中又はその界面の総重水素量を、軽水素の量との比率にして 25% まで増加させることができる。そのため、反応性イオンエッチング 11 によるゲート絶縁膜 82 のリーク電流の増大は、重水素導入工程とゲート電極 51 のパターンニング工程を連続的に行なわない場合に比べて、更に低減することができる。また、重水素を含む材料により形成された窒化チタン被膜 91 から重水素を導入することができるため、重水素の導入効率をさらに高めることができる。

【0058】なお、本発明は上記実施形態に限定されるものではない。重水素は不活性ガスで希釈されていてもよいし、圧力も問わない。加圧して行うことも可能である。ゲート絶縁膜 2, 71, 82 はシリコン酸化膜や Ta₂O₅ 膜に限らない。シリコン窒化膜やシリコン酸窒化膜、チタン酸バリウム、ストロンチウム等、高誘電体の被膜であってもよい。

【0059】重水素を含むゲート電極 51, 83 としてはポリシリコンに限らない。単結晶シリコンでも良いし、ポリシリコンや単結晶シリコンと金属の積層構造でも良いし、重水素を含ませることが出来れば、例えば Ti 等の金属被膜でも良い。

【0060】重水素を含んだ層間絶縁膜 61 としては、シリコン酸化膜だけでなく、リンを含有したシリコン酸化膜でも、リンとボロンを同時に含有したシリコン酸化膜でも、シリコン窒化膜でも、重水素を含んだ絶縁性の被膜であれば使用可能である。

【0061】配線層 7', 41' の材質は、アルミニウムや銅に限らず、半導体素子の配線層として使用可能であればどんな材質でも良く、例えば超伝導物質等も使用可能である。

【0062】重水素を含んだ層としては、ゲート電極 51, 83 や層間絶縁膜 61 のみならず、素子間分離膜 3 でも良いし、シリコン基板 1 そのものに重水素を含有させておくことも出来る。その他、半導体素子を構成するあらゆる部分が重水素を含有させておく部位として使用可能である。

【0063】軽水素を脱離させる工程としては、ゲート絶縁膜 2, 71, 82 に電流ストレスが加わるような条件であれば、電子線照射や、プラズマ中の熱処理に限らない。例えば、半導体素子の表面側に、電位を持たせた溶液を接触させる方法を用いることも出来るし、熱処

理、光照射等によっても軽水素を脱離させることが可能である。

【0064】重水素をゲート絶縁膜 2, 71, 82 中又はその界面に導入する場合の温度、処理時間は、ゲート絶縁膜 2, 71, 82 中又はその界面にまで重水素が到達できるような温度、時間であれば、どのようにすることも可能である。

【0065】ゲート絶縁膜 2, 71, 82 に損傷が加わるような工程とは、ゲート絶縁膜中の半導体と他の物質との結合が切られるような工程をいい、より具体的には例えばゲート絶縁膜が SiO_2 からなる場合、 $\text{Si}-\text{F}$, $\text{Si}-\text{O}$, $\text{Si}-\text{H}$, $\text{Si}-\text{OH}$, $\text{Si}-\text{N}$ 等の結合が切られる工程をいう。その一例として反応性イオンエッチングが考えられるが、ゲート絶縁膜 2, 71, 82 中に電流が流れることによりゲート絶縁膜 2, 71, 82 に損傷が加わるような工程であれば、いかなる工程であっても本発明の対象となる。

【0066】尚、ゲート絶縁膜 2, 71, 82 中又はその界面には、様々な工程によって重水素が導入されるが、ゲート絶縁膜 2, 71, 82 形成、ゲート電極 4, 51, 83 形成、層間絶縁膜 5, 61 形成以外の工程であっても、それらの工程中で用いられる材料として、軽水素が重水素で置き換えられた材料を用いることで、形成されるゲート絶縁膜 2, 71, 82 中の重水素量と軽水素量の比率を大きくしておくことができ、反応性イオンエッチング等によってゲート絶縁膜 2, 71, 82 へ加わる損傷を抑制することが出来る。

【0067】また、更にゲート電極 4, 51, 83 中に重水素を導入する工程を複数設けておけば更にゲート絶縁膜 2, 71, 82 に加わる損傷を低減する事が出来る。更に、ゲート絶縁膜 2, 71, 82 中の軽水素を脱離させる工程を複数含んでいれば、重水素を導入する効率は更に高くなり、ゲート絶縁膜 2, 71, 82 に加わる損傷を低減する事が出来るのは勿論である。

【0068】また、本発明による半導体素子の製造方法は、トランジスタのゲート絶縁膜 2, 71, 82 に適用される場合に限定されるものではない。例えば、トンネル絶縁膜の改質に用いれば、フローティングゲートの蓄積電荷の書き換えに伴うトンネル絶縁膜の、いわゆるストレスリーク電流の増大を抑制することが出来る。

【0069】また、本発明の半導体素子の製造装置として図 10 に示したが、大気に晒すことなく重水素導入からゲート絶縁膜に損傷が加わる工程までを行えるものであれば、図 10 のように同一チャンバ内に各手段を設けるものでなくてもよい。

【0070】

【発明の効果】以上説明したように本発明によれば、ゲート絶縁膜中又はその界面に重水素を導入しておく、ゲート絶縁膜に電流を注入したときに生ずるゲート絶縁膜の損傷を低減出来る。

【0071】また、重水素をゲート絶縁膜中又はその界面に導入する工程と、ゲート絶縁膜に損傷が加わるような工程を大気に晒すことなく行なうことで、重水素をゲート絶縁膜中又はその界面に導入した後に半導体素子表面に水酸基や、水分が被着することを防ぎ、水酸基等により軽水素がゲート絶縁膜中又はその界面に導入されてしまうのを防ぐことが出来る。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係る半導体素子の製造方法の工程断面図。

【図 2】同実施形態におけるゲート電圧 V_g の時間変化を示す図。

【図 3】本発明の第 2 実施形態に係る半導体素子の製造方法の工程断面図。

【図 4】本発明の第 3 実施形態に係る半導体素子の製造方法の工程断面図。

【図 5】本発明の第 4 実施形態に係る半導体素子の製造方法の工程断面図。

【図 6】本発明の第 5 実施形態に係る半導体素子の製造方法の工程断面図。

【図 7】本発明の第 6 実施形態に係る半導体素子の製造方法の工程断面図。

【図 8】本発明の第 7 実施形態に係る半導体素子の製造方法の工程断面図。

【図 9】本発明の第 8 実施形態に係る半導体素子の製造方法の工程断面図。

【図 10】同実施形態における半導体素子の製造装置の全体構成を示す断面図。

【図 11】本発明の第 9 実施形態に係る半導体素子の製造方法の工程断面図。

【図 12】従来のホットキャリアストレスによる界面単位密度の変化を示す図。

【図 13】従来のゲート絶縁膜の損傷を示す図。

【符号の説明】

1…シリコン基板

2, 71…ゲート絶縁膜

3…素子分離膜

4, 51, 83…ゲート電極

5, 61…層間絶縁膜

6…コンタクトホール

7, 41…配線材料

7', 41'…配線層

8…負電荷

10…重水素雰囲気

11…反応性イオンエッチング

12…フォトリソ

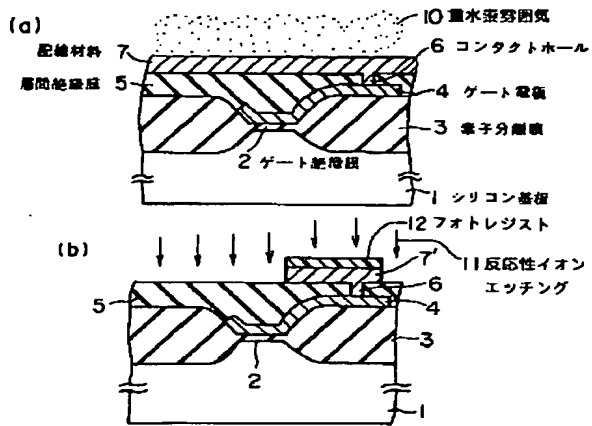
31…酸素プラズマ雰囲気

42…電子線

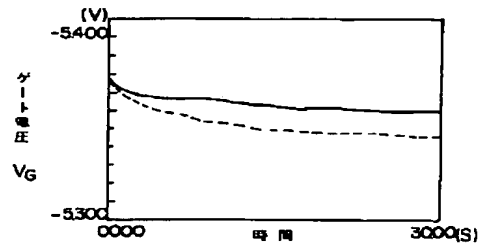
52, 62…重水素

81…バリア層

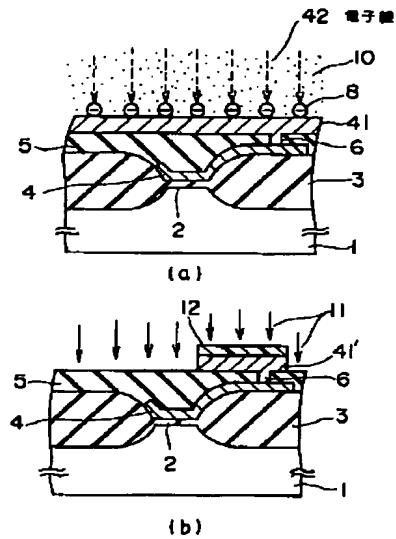
【図 1】



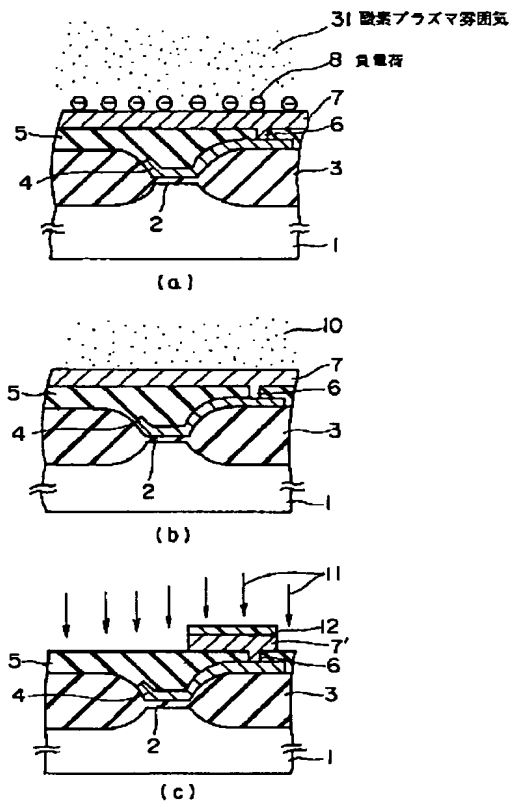
【図 2】



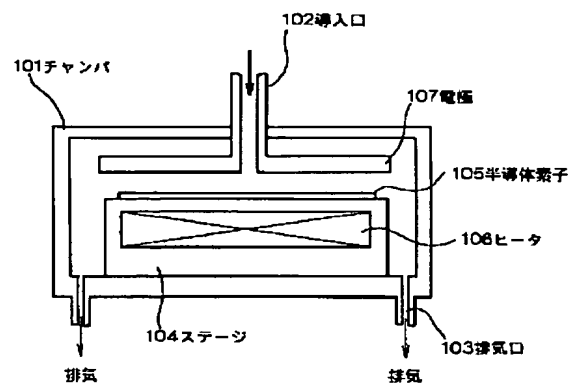
【図 4】



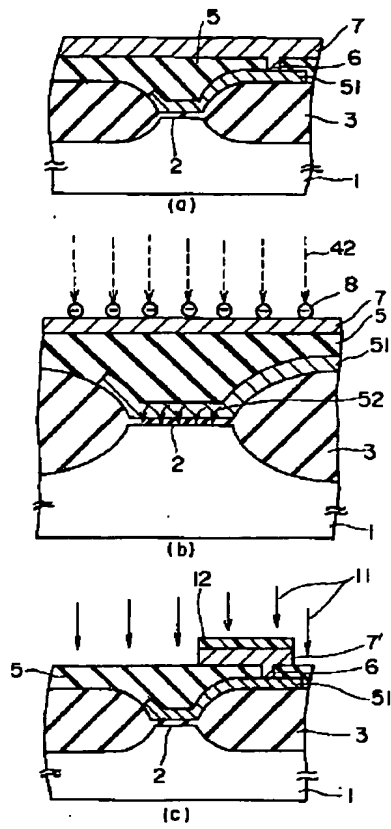
【図 3】



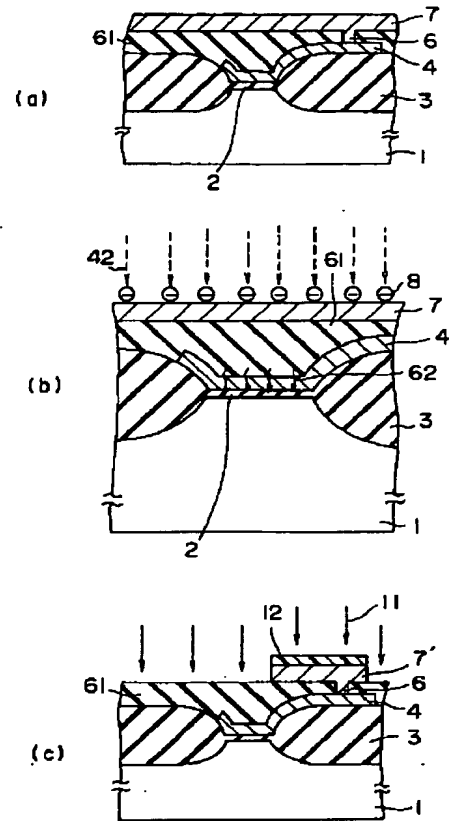
【図 10】



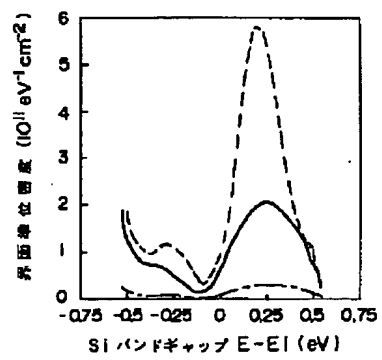
【図 5】



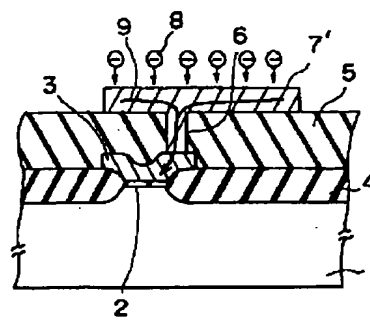
【図 6】



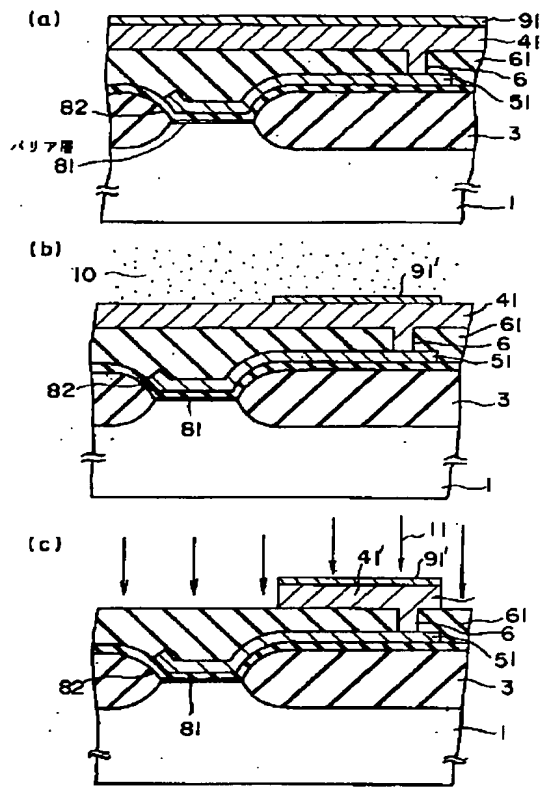
【図 12】



【図 13】



【図 9】



【図 11】

